

淡江大學 99 學年度第 2 學期課程教學計畫表

課程名稱	超大型積體電路設計	授課 教師	楊維斌 Web-bin Yang
	VLSI DESIGN		
開課系級	電機一博士班 A	開課 資料	選修 單學期 3學分
	TETXD1A		
學系(門)教育目標			
<p>一、教育學生具備電機 / 機器人工程專業知識以解決電機之相關問題。</p> <p>二、教育學生具備創新思考、能獨立完成所交付任務及具備團隊精神之高級工程師。</p> <p>三、教育學生具備前瞻的國際觀及全球化競爭技能以因應現今多元化職場生涯之挑戰。</p>			
學生基本能力			
<p>A. 具有運用專業知識以解決電機工程問題之能力。</p> <p>B. 具有策劃及執行專題研究之能力。</p> <p>C. 具有撰寫專業論文之能力。</p> <p>D. 具有創新思考及獨立解決問題之能力。</p> <p>E. 具有與不同領域人員協調整合之能力。</p> <p>F. 具有前瞻的國際觀。</p> <p>G. 具有領導、管理及規劃之能力。</p> <p>H. 具有終身自我學習成長之能力。</p>			
課程簡介	本課程主要是介紹超大型積體電路設計原理與方法		
	The current course introduces design principles and methodologies of the Vary Large Scale Integrated Circuits (VLSI).		

本課程教學目標與目標層級、學生基本能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「學生基本能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應該系「學生基本能力」。單項教學目標若對應「學生基本能力」有多項時，則可填列多項「學生基本能力」(例如：「學生基本能力」可對應A、AD、BEF時，則均填列)。

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	學生基本能力
1	學生將能夠歸納課程中介紹到VLSI的設計概念，包含下列主題：電晶體製作流程、電晶體操作原理與電路設計概念。	Students will be able to summarize concepts covered in the following topics: fabrication of MOS transistors, operation principles of MOS transistors, design concept of CMOS circuits.	C1	ABDFH
2	學生將能夠對於較深入的議題，細述理由。議題例如：CMOS邏輯電路設計、靜態與動態電路設計。	Students will be able to interpret in-depth issues such as: CMOS circuit design, static and dynamic circuit design.	C4	BCDEH
3	學生將具有設計簡易CMOS組合電路的能力。	Students will be able to design a simple CMOS combination circuits by themselves.	A5	BCDEFGH

教學目標之教學策略與評量方法

序號	教學目標	教學策略	評量方法
1	學生將能夠歸納課程中介紹到VLSI的設計概念，包含下列主題：電晶體製作流程、電晶體操作原理與電路設計概念。	課堂講授	出席率、報告、小考、期中考、期末考
2	學生將能夠對於較深入的議題，細述理由。議題例如：CMOS邏輯電路設計、靜態與動態電路設計。	課堂講授	出席率、報告、小考、期中考、期末考
3	學生將具有設計簡易CMOS組合電路的能力。	課堂講授	出席率、報告、小考、期中考、期末考

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註

1	100/02/27~ 100/03/06	Overview of Vary Large Scale Integrated Circuit(I)	
2	100/03/07~ 100/03/13	Overview of Vary Large Scale Integrated Circuit(II)	
3	100/03/14~ 100/03/20	VLSI Design Strategies	
4	100/03/21~ 100/03/27	Operation Principles of MOS Transistors	
5	100/03/28~ 100/04/03	Threshold Voltage of the MOS Transistor Issues	
6	100/04/04~ 100/04/10	CMOS Processing Technology(I)	
7	100/04/11~ 100/04/17	CMOS Processing Technology(II)	
8	100/04/18~ 100/04/24	Circuit Characterization and Performance Estimation	
9	100/04/25~ 100/05/01	Resistance and Capacitance Estimation	
10	100/05/02~ 100/05/08	期中考試週	
11	100/05/09~ 100/05/15	CMOS Logic Switching Characteristics	
12	100/05/16~ 100/05/22	CMOS Gates Transistor Sizing Issues	
13	100/05/23~ 100/05/29	CMOS Circuit and Logic Design	
14	100/05/30~ 100/06/05	Static and Dynamic Logic Circuit(I)	
15	100/06/06~ 100/06/12	Static and Dynamic Logic Circuit(I)	
16	100/06/13~ 100/06/19	CMOS Differential Logic(I)	
17	100/06/20~ 100/06/26	CMOS Differential Logic(II)	
18	100/06/27~ 100/07/03	期末考試週	
修課應 注意事項			
教學設備		電腦、投影機	
教材課本		自編講義	
參考書籍		Introduction to VLSI Circuits and Systems/John P. Uyemura/John Wiley	

批改作業 篇數	篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）
學期成績 計算方式	◆平時考成績：20.0 %    ◆期中考成績：30.0 %    ◆期末考成績：40.0 % ◆作業成績： 10.0 % ◆其他〈 〉：        %
備 考	「教學計畫表管理系統」網址： <a href="http://info.ais.tku.edu.tw/csp">http://info.ais.tku.edu.tw/csp</a> 或由教務處 首頁〈網址： <a href="http://www.acad.tku.edu.tw/index.asp/">http://www.acad.tku.edu.tw/index.asp/</a> 〉教務資訊「教學計畫 表管理系統」進入。 <b>※非法影印是違法的行為。請使用正版教科書，勿非法影印他人著作，以免觸法。</b>