

淡江大學 99 學年度第 2 學期課程教學計畫表

課程名稱	超大型積體電路設計	授課 教師	陳光原 Chen Kuang-yuan
	VLSI DESIGN		
開課系級	電機進學班三 A	開課 資料	選修 單學期 3學分
	TETXE3A		
學系(門)教育目標			
<p>一、教育學生具備數學、科學及工程知識以解決電機之相關問題。</p> <p>二、教育學生能獨立完成所指定任務及具備團隊精神之工程師。</p> <p>三、教育學生具備全球化競爭技能以因應現今多元化職場生涯之挑戰。</p>			
學生基本能力			
<p>A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。</p> <p>B. 具有設計與執行實驗及分析與解釋數據之能力。</p> <p>C. 具有執行電機實務所需知識、技巧及使用工具之能力。</p> <p>D. 具有系統設計觀念及報告撰寫之能力。</p> <p>E. 具有時間管理、溝通技巧及團隊合作之能力。</p> <p>F. 具有發掘、分析及處理工程問題之能力。</p> <p>G. 具有認識國際時事議題及持續學習之認知。</p> <p>H. 具有工程師對社會責任之正確認知。</p> <p>I. 具有智慧財產權及職場倫理之正確認知。</p>			
課程簡介	本課程主要是介紹數位超大型積體電路設計的原理及方法，並將運用電腦輔助設計工具軟體來設計以及驗證晶片。		
	This course introduces the design principles and methodologies of VLSI. We will use CAD tools to design and verify the chip.		

本課程教學目標與目標層級、學生基本能力相關性

一、目標層級(選填):

- (一)「認知」(Cognitive 簡稱C)領域: C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域: P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域: A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「學生基本能力」之相關性:

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如: 認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應該系「學生基本能力」。單項教學目標若對應「學生基本能力」有多項時，則可填列多項「學生基本能力」(例如: 「學生基本能力」可對應A、AD、BEF時，則均填列)。

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	學生基本能力
1	1.學生將能夠歸納課程中介紹到的VLSI 設計概念, 包含下列主題: 電晶體操作原理、VLSI 設計流程、與各種CAD Tools 的操作。	1. Students will be able to summarize concepts covered in the following topics: operation principles of MDS transistors, design flows and using CAD tools.	C2	ACDEFGH
2	2. 學生能夠對於較深入的議題細述理由。議題例如: 比較電路差異, 建立測試模型驗證電路	2. Students will be able to interpret in-depth issues such as: comparison of the circuits, establish models to verify the circuits.	C4	BCDFGI
3	3. 學生將能夠擁有設計簡易數位電路晶片的能力	3 Students will be able to design a simple digital IC by themselves.	C6	BCDEFGI

教學目標之教學策略與評量方法

序號	教學目標	教學策略	評量方法
1	1.學生將能夠歸納課程中介紹到的VLSI 設計概念, 包含下列主題: 電晶體操作原理、VLSI 設計流程、與各種CAD Tools 的操作。	課堂講授	出席率、討論、期中考、期末考
2	2. 學生能夠對於較深入的議題細述理由。議題例如: 比較電路差異, 建立測試模型驗證電路	課堂講授	出席率、討論、期中考、期末考
3	3. 學生將能夠擁有設計簡易數位電路晶片的能力	課堂講授	出席率、討論、期中考、期末考

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註
1	100/02/14~ 100/02/20	Introduction	

2	100/02/21~ 100/02/27	CMOS Technology	
3	100/02/28~ 100/03/06	Logic Gate(I)	
4	100/03/07~ 100/03/13	Logic Gate(II)	
5	100/03/14~ 100/03/20	Sequential Machine(I)	
6	100/03/21~ 100/03/27	Sequential Machine(II)	
7	100/03/28~ 100/04/03	Subsystem Design	
8	100/04/04~ 100/04/10	Architecture Design(I)	
9	100/04/11~ 100/04/17	Architecture Design(II)	
10	100/04/18~ 100/04/24	期中考試週	
11	100/04/25~ 100/05/01	Introduction to logic Design with Verilog	
12	100/05/02~ 100/05/08	Logic Design with Behavioral Models(I)	
13	100/05/09~ 100/05/15	Logic Design with Behavioral Models(II)	
14	100/05/16~ 100/05/22	Synthesis of Combinational and Sequential Logic(I)	
15	100/05/23~ 100/05/29	Synthesis of Combinational and Sequential Logic(II)	
16	100/05/30~ 100/06/05	Chip Design(I)	
17	100/06/06~ 100/06/12	Chip Design(II)	
18	100/06/13~ 100/06/19	期末考試週	
修課應 注意事項			
教學設備		電腦、投影機	
教材課本		Modern VLSI Design: System-on-Chip Design 3rd Edition, Wayne Wolf, 開發,2002 Verilog HDL (2nd Edition), Samir Palnitkar, Prentice Hall,2003	
參考書籍		Verilog Coding for Logic Synthesis, Weng Fook Lee, John Wiley & Sons, Inc., 2003	

批改作業 篇數	篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）
學期成績 計算方式	◆平時考成績：30.0 % ◆期中考成績：30.0 % ◆期末考成績：40.0 % ◆作業成績： % ◆其他〈 〉： %
備 考	「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/index.asp/ 〉教務資訊「教學計畫 表管理系統」進入。 ※非法影印是違法的行為。請使用正版教科書，勿非法影印他人著作，以免觸法。