

淡江大學 99 學年度第 2 學期課程教學計畫表

課程名稱	數位系統程式設計	授課 教師	陳伯榮 Chen Po-zung
	DIGITAL SYSTEM DESIGN AND PROGRAMMING		
開課系級	資訊三 B	開課 資料	必修 單學期 3學分
	TEIXB3B		
學系(門)教育目標			
<p>一、傳授專業知識-教導學生資訊技術的基本原理與應用實務的專業知能。</p> <p>二、訓練實用技能-教導學生如何執行與驗證各項實驗，其中包括問題之分析與解決方法、資料的蒐集、維護、管理，以及理論的測試。</p> <p>三、啟發創新思維-教授學生分析、設計、實作與數學等方面的資訊基礎能力，和有解決科學、工程、企業等上各種問題所需要的獨立思考與創新能力。</p> <p>四、表現人格特質-使學生能以他/她們的忠誠、剛毅、樸實、專注、厚道等個人特質與專業技能獲得主管與同儕認同。</p> <p>五、培養團隊精神-訓練學生具有組織能力與溝通技術，讓他/她們能具有融入企業團隊的適應力，並具有發揮與指揮團隊力量來解決相關之專案問題。</p> <p>六、營造國際視野-順應全球化的趨勢，營造國際化的學習環境與機會，教育學生不斷的自我成長，吸收國內外新的知識，在未來的領域中成為一位具有國際視野與領導能力的專業人才。</p>			
學生基本能力			
<p>A. 具有程式設計、系統軟體與軟體應用的知識，並應用於系統分析、設計與應用的能力。</p> <p>B. 具有計算機硬體設計、資訊網路與通訊的專業知識，並能應用解決工程問題的能力。</p> <p>C. 具有資訊工程所需的數學、科學與工程知識的能力。</p> <p>D. 具有邏輯思考、問題分析、實驗執行、數據解釋與推導演繹的能力，並用於規劃與發展資訊系統。</p> <p>E. 具備良好的口語與書面之溝通技巧，並具有計畫書撰寫、專案執行與時程管理的能力。</p> <p>F. 培養團隊合作的精神與能力，並具有專業及倫理的責任。</p> <p>G. 應用外語能力於學習與交流，並具有國際觀。</p> <p>H. 具備人文素養，能夠瞭解社會生態及資訊產業發展的派動。</p> <p>I. 瞭解終身學習的重要，並持續培養自我學習的能力。</p>			
課程簡介	<p>本課程主要教授學生使用硬體描述語言設計數位電路，利用FPGA驗證程式，經由範例介紹如何使用最新的設計工具CAD。</p>		

	The goal of this course is to build on a student's background from introducing HDL on design, design working circuit for ASIC and/or FPGA, and providing in-depth design examples using modern design tools(CAD).
--	---

本課程教學目標與目標層級、學生基本能力相關性

一、目標層級(選填):

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「學生基本能力」之相關性:

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應該系「學生基本能力」。單項教學目標若對應「學生基本能力」有多項時，則可填列多項「學生基本能力」(例如：「學生基本能力」可對應A、AD、BEF時，則均填列)。

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	學生基本能力
1	複習數位電路設計自動化設計技術。	Review of Digital Design with Electronic Design Automation and Modeling Concepts.	C4	ABCD
2	簡介利用Verilog-HDL硬體描述語言設計數位電路。	Introduction to logic design with Hardware Description Language Verilog HDL, Modules and Ports.	C3	ABCD
3	介紹Gate-level, Dataflow, Behavioral與Switch-level設計技巧	Introduces to Gate-level Modeling, Dataflow Modeling, Behavioral Modeling and Switch-level Modeling.	C4	ABCD
4	學習如何用VerilogHDL設計組合電路, 循序電路與資料路徑控制器	Introduces synthesis of combination, sequential logic, and datapath controller with Verilog HDL	C6	ABCD
5	討論計算機結構有關之數值處理器與數位訊號處理器之設計原理	Treats the modeling and synthesis of computational units and algorithm found in computer architectures, such as arithmetic processors and digital signal processors.	C6	ABCD

教學目標之教學策略與評量方法

序號	教學目標	教學策略	評量方法
1	複習數位電路設計自動化設計技術。	課堂講授、分組討論	出席率、期中考、期末考、作業

2	簡介利用Verilog-HDL硬體描述語言設計數位電路。	課堂講授、分組討論	出席率、期中考、期末考、作業
3	介紹Gate-level, Dataflow, Behavioral與Switch-level設計技巧	課堂講授、分組討論	出席率、期中考、期末考、作業
4	學習如何用VerilogHDL設計組合電路, 循序電路與資料路徑控制器	課堂講授、分組討論	出席率、期中考、期末考、作業
5	討論計算機結構有關之數值處理器與數位訊號處理器之設計原理	課堂講授、分組討論	出席率、期中考、期末考、作業

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註
1	100/02/14~ 100/02/20	Hardware Description language	
2	100/02/21~ 100/02/27	HDL models of Combinational Circuits:	
3	100/02/28~ 100/03/06	Gate-Level Modeling; three-State Gates; Dataflow Modeling;	
4	100/03/07~ 100/03/13	Behavioral Modeling; Test Bench	
5	100/03/14~ 100/03/20	Synthesizable HDL Models of Sequential Circuits:	
6	100/03/21~ 100/03/27	Behavioral Modeling; Flip-Flops and latches; State Diagram;	
7	100/03/28~ 100/04/03	Structural Description of Clocked Sequential Circuits	
8	100/04/04~ 100/04/10	HDL for Registers and Counters:	
9	100/04/11~ 100/04/17	Shift Register; Synchronous Counter; Ripple Counter;	
10	100/04/18~ 100/04/24	期中考試週	
11	100/04/25~ 100/05/01	Memory and Programmable Logic:	
12	100/05/02~ 100/05/08	ROM; PLA; PAL; Sequential Programmable Devices;	
13	100/05/09~ 100/05/15	Design at the Register Transfer Level:	
14	100/05/16~ 100/05/22	Register Transfer Level in HDL; Algorithmic State Machines	
15	100/05/23~ 100/05/29	HDL Description of Design Example; Design with Multiplexers;	
16	100/05/30~ 100/06/05	other HDL Features	
17	100/06/06~ 100/06/12	overview for final exam	
18	100/06/13~ 100/06/19	期末考試週	

修課應 注意事項	
教學設備	電腦、投影機
教材課本	Digital Design, 4th ed., by M. Morris Mano and Michael D. Ciletti
參考書籍	Samir Palnitkar, Verilog HDL – A Guide to Digital Design and Synthesis, Pearson, 2009
批改作業 篇數	篇 (本欄位僅適用於所授課程需批改作業之課程教師填寫)
學期成績 計算方式	◆平時考成績： % ◆期中考成績：40.0 % ◆期末考成績：40.0 % ◆作業成績： 20.0 % ◆其他〈 〉： %
備 考	「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/index.asp/ 〉教務資訊「教學計畫 表管理系統」進入。 ※非法影印是違法的行為。請使用正版教科書，勿非法影印他人著作，以免觸法。