

淡江大學 99 學年度第 1 學期課程教學計畫表

課程名稱	電工實驗	授課 教師	江正雄 Chiang Jen-shiun
	ELECTRICAL ENGINEERING EXPERIMENT		
開課系級	電機四 G	開課 資料	必修 單學期 1學分
	TETXB4G		
學 系(門) 教 育 目 標			
一、教育學生具備數學、科學及工程知識以解決電機之相關問題。 二、教育學生能獨立完成所指定任務及具備團隊精神之工程師。 三、教育學生具備全球化競爭技能以因應現今多元化職場生涯之挑戰。			
學 生 基 本 能 力			
A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。 B. 具有設計與執行實驗及分析與解釋數據之能力。 C. 具有執行電機實務所需知識、技巧及使用工具之能力。 D. 具有系統設計觀念及報告撰寫之能力。 E. 具有時間管理、溝通技巧及團隊合作之能力。 F. 具有發掘、分析及處理工程問題之能力。 G. 具有認識國際時事議題及持續學習之認知。 H. 具有工程師對社會責任之正確認知。 I. 具有智慧財產權及職場倫理之正確認知。			
課程簡介	使學生熟悉VHDL硬體描述語言之語法與應用，進而瞭解Cell-Based設計方法與流程。		
	This course will teach the students to be familiar with the syntax of the VHDL. It will further teach the students to understand the design methods and procedures of the IC cell-based design.		

本課程教學目標與目標層級、學生基本能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「學生基本能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應該系「學生基本能力」。單項教學目標若對應「學生基本能力」有多項時，則可填列多項「學生基本能力」(例如：「學生基本能力」可對應A、AD、BEF時，則均填列)。

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	學生基本能力
1	學生能夠瞭解VHDL的語法。	The students can understand the syntax of VHDL.	C2	BCDF
2	學生能夠瞭解MAXPLUS II的基本操作(合成、模擬及燒錄等)。	The students can understand the operation of MUXPLUS II.	C2	BCDF
3	學生能夠正確操作「組合電路(Combinational Circuits)」的合成與應用。	The students can correctly operate the synthesis of the combinational circuits.	P3	BCDF
4	學生能夠正確操作「循序電路(Sequential Circuits)」的合成與應用。	The students can correctly operate the synthesis of the sequential circuits.	P3	BCDF
5	學生能夠聯結「組合電路」與「循序電路」之技術，而正確設計與實現「有限狀態機(Finite State Machine)」。	The students can associate the techniques of combinational circuits and sequential circuits to correctly design and synthesize the finite state machines.	P4	BCDF

教學目標之教學策略與評量方法

序號	教學目標	教學策略	評量方法
1	學生能夠瞭解VHDL的語法。	課堂講授、實作	出席率、作業
2	學生能夠瞭解MAXPLUS II的基本操作(合成、模擬及燒錄等)。	課堂講授、實作	出席率、作業
3	學生能夠正確操作「組合電路(Combinational Circuits)」的合成與應用。	課堂講授、實作	出席率、作業
4	學生能夠正確操作「循序電路(Sequential Circuits)」的合成與應用。	課堂講授、實作	出席率、作業

5	學生能夠聯結「組合電路」與「循序電路」之技術，而正確設計與實現「有限狀態機(Finite State Machine)」。		課堂講授、實作	出席率、報告、討論、作業
授 課 進 度 表				
週次	日期	內 容 (Subject/Topics)		備註
1	09/13	數位電路之設計觀念		
2	09/20	VHDL語言簡介		
3	09/27	VHDL中的Entity與Architecture		
4	10/04	VHDL語言的Data type與Attribute		
5	10/11	VHDL中的敘述與其語法		
6	10/18	階層式模組化設計		
7	10/25	使用VHDL設計組合邏輯		
8	11/01	使用VHDL設計循序邏輯		
9	11/08	小考		
10	11/15	期中考試週		
11	11/22	MUXPLUS II (1)		
12	11/29	MUXPLUS II (2)		
13	12/06	FIFO之設計		
14	12/13	7 Segment Display 輸出之8位元技術器設計		
15	12/20	期末成品製作(1)		
16	12/27	期末成品製作(2)		
17	01/03	期末成品驗收與口頭報告		
18	01/10	期末考試週		
修課應 注意事項				
教學設備		電腦、投影機、其它(FPGA 電路板)		
教材課本		Structured Logic Design With VHDL 使用VHDL電路設計語言之數位電路設計		

參考書籍	
批改作業 篇數	6 篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）
學期成績 計算方式	◆平時考成績：10.0 % ◆期中考成績：20.0 % ◆期末考成績：20.0 % ◆作業成績： % ◆其他〈期末成品〉：50.0 %
備 考	「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/index.asp/ 〉教務資訊「教學計畫 表管理系統」進入。 ※非法影印是違法的行為。請使用正版教科書，勿非法影印他人著作，以免觸法。