

淡江大學 1 1 1 學年度第 2 學期課程教學計畫表

課程名稱	邏輯設計實驗	授課 教師	廖子軒 LIAO, TZU-HSUAN
	LOGIC DESIGN LABORATORY		
開課系級	資工一 E	開課 資料	實體課程 必修 單學期 1學分
	TEIXB1E		
課程與SDGs 關聯性	SDG4 優質教育		
系（ 所 ） 教 育 目 標			
一、通達專業知能。			
二、熟練實用技能。			
三、展現創意成果。			
本課程對應院、系(所)核心能力之項目與比重			
A. 程式設計應用能力。(比重：20.00)			
B. 數學推理演繹能力。(比重：10.00)			
C. 資訊系統實作能力。(比重：20.00)			
D. 網路技術應用能力。(比重：20.00)			
E. 資訊技能就業能力。(比重：30.00)			
本課程對應校級基本素養之項目與比重			
1. 全球視野。(比重：10.00)			
2. 資訊運用。(比重：20.00)			
3. 洞悉未來。(比重：10.00)			
4. 品德倫理。(比重：10.00)			
5. 獨立思考。(比重：20.00)			
6. 樂活健康。(比重：5.00)			
7. 團隊合作。(比重：20.00)			
8. 美學涵養。(比重：5.00)			

課程簡介	本課程主要訓練學生可以利用電腦輔助設計工具(EDA)進行數位電路設計，除了在電腦進行模擬，同時將所設計的電路利用Quartus II載入PLD或FPGA，學習硬體描述語言(HDL)、數位電路的暫存器，計數器，ALU與算數處理器。
	The main goals of this course are (1) teach students using EDA tools to design digital circuits, including simulate the behavior of the designed circuits on computers (2) mapping of a design into PLDs or FPGAs by Quartus II, (3) using hardware description language to design register, counter, simple ALU and arithmetic processor.

本課程教學目標與認知、情意、技能目標之對應

將課程教學目標分別對應「認知(Cognitive)」、「情意(Affective)」與「技能(Psychomotor)」的各目標類型。

- 一、認知(Cognitive)：著重在該科目的事實、概念、程序、後設認知等各類知識之學習。
- 二、情意(Affective)：著重在該科目的興趣、倫理、態度、信念、價值觀等之學習。
- 三、技能(Psychomotor)：著重在該科目的肢體動作或技術操作之學習。

序號	教學目標(中文)	教學目標(英文)
1	1.硬體描述語言入門	introduction to hardware description language
2	2.正反器設計	flip-flop design
3	3. 認識可程式規劃元件PLD, FPGA	programmable logic device: PLD and FPGA
4	4. 暫存器設計	register design
5	5. 狀態機設計	state machine design
6	6. 計數器設計	counter design
7	7.ALU設計	ALU design
8	8.DATA PATH設計	Data Path design

教學目標之目標類型、核心能力、基本素養教學方法與評量方式

序號	目標類型	院、系(所)核心能力	校級基本素養	教學方法	評量方式
1	認知	C	23457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
2	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
3	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現

4	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
5	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
6	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
7	認知	C	2457	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現
8	認知	ABCDE	12345678	討論、實作	測驗、實作、報告(含口頭、書面)、上課表現

授 課 進 度 表

週次	日期起訖	內 容 (Subject/Topics)	備註
1	112/02/13~ 112/02/19	Verilog HDL基本語法(一)	
2	112/02/20~ 112/02/26	Verilog HDL基本語法(二)	
3	112/02/27~ 112/03/05	組合電路-解碼器和編碼器	
4	112/03/06~ 112/03/12	組合電路-多工器和解多工器	
5	112/03/13~ 112/03/19	RS正反器、JK正反器，D、T正反器	
6	112/03/20~ 112/03/26	可程式規劃元件PLD，FPGA	
7	112/03/27~ 112/04/02	主僕、觸發正反器	
8	112/04/03~ 112/04/09	教學觀摩週 (停課一次)	
9	112/04/10~ 112/04/16	上機考試	
10	112/04/17~ 112/04/23	期中考試週	
11	112/04/24~ 112/04/30	激勵表	
12	112/05/01~ 112/05/07	狀態機	
13	112/05/08~ 112/05/14	暫存器，位移暫存器	
14	112/05/15~ 112/05/21	計數器，BCD計數器	
15	112/05/22~ 112/05/28	ALU設計(+-* / 邏輯，左移，右移，左旋轉，右旋轉，旗號)	

16	112/05/29~ 112/06/04	DATA PATH設計	
17	112/06/05~ 112/06/11	上機考試	
18	112/06/12~ 112/06/18	期末考試週	
修課應 注意事項	課前預習、課後複習、認真聽講		
教學設備	電腦、投影機、其它(實驗器材)		
教科書與 教材	自製講義		
參考文獻	系統晶片設計 使用 Quartus II		
批改作業 篇數	篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）		
學期成績 計算方式	◆出席率： 15.0 % ◆平時評量： % ◆期中評量：35.0 % ◆期末評量：35.0 % ◆其他〈作業成績15%，學習態度5%〉：15.0 %		
備 考	「教學計畫表管理系統」網址： https://info.ais.tku.edu.tw/csp 或由教務處 首頁→教務資訊「教學計畫表管理系統」進入。 ※不法影印是違法的行為。請使用正版教科書，勿不法影印他人著作，以免觸法。		