

淡江大學 110 學年度第 1 學期課程教學計畫表

課程名稱	電工實驗	授課 教師	陳柏瑞 PO-JUI CHEN
	ELECTRICAL ENGINEERING EXPERIMENT		
開課系級	電機系電資四 A	開課 資料	實體課程 必修 單學期 1學分
	TETDB4A		
課程與SDGs 關聯性	SDG9 產業創新與基礎設施		
系 ( 所 ) 教育目標			
<p>一、教育學生具備數學、科學及工程知識以解決電機之相關問題。</p> <p>二、教育學生能具備獨立完成所指定任務及團隊精神之電機工程師。</p> <p>三、教育學生具備洞悉電機產業趨勢變化，以因應現今多元化職場生涯之挑戰。</p>			
本課程對應院、系(所)核心能力之項目與比重			
<p>A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。(比重：20.00)</p> <p>B. 具有設計與執行電機實驗及分析與解釋數據之能力。(比重：20.00)</p> <p>D. 具有設計電機工程系統、元件或製程之能力。(比重：25.00)</p> <p>E. 具有電機領域專案管理、溝通技巧、領域整合及團隊合作之能力。(比重：25.00)</p> <p>G. 具有認識時事議題，瞭解工程技術對環境、社會及全球的影響及持續學習之認知。(比重：5.00)</p> <p>H. 具有理解及應用專業倫理，以及對社會責任及智慧財產權之正確認知，並尊重多元觀點。(比重：5.00)</p>			
本課程對應校級基本素養之項目與比重			
<p>2. 資訊運用。(比重：45.00)</p> <p>5. 獨立思考。(比重：45.00)</p> <p>6. 樂活健康。(比重：5.00)</p> <p>8. 美學涵養。(比重：5.00)</p>			
課程簡介	讓學生熟悉Verilog HDL之語法與應用，進而瞭解Cell-Based設計方法與流程。		

	This course will teach the students to be familiar with the syntax of the Verilog HDL. It will further teach the students to understand the design methods and procedures of the IC cell-based design.
--	--

本課程教學目標與認知、情意、技能目標之對應

將課程教學目標分別對應「認知 (Cognitive)」、「情意 (Affective)」與「技能(Psychomotor)」的各目標類型。

- 一、認知(Cognitive)：著重在該科目的事實、概念、程序、後設認知等各類知識之學習。
- 二、情意(Affective)：著重在該科目的興趣、倫理、態度、信念、價值觀等之學習。
- 三、技能(Psychomotor)：著重在該科目的肢體動作或技術操作之學習。

序號	教學目標(中文)	教學目標(英文)
1	學生能夠瞭解Verilog HDL的語法。	he students can understand the syntax of Verilog HDL.
2	學生能夠正確操作「組合電路(Combinational Circuits)」的合成與應用。	The students can correctly operate the synthesis of the combinational circuits.
3	學生能夠正確操作「循序電路(Sequential Circuits)」的合成與應用。	The students can correctly operate the synthesis of the sequential circuits.
4	學生能夠聯結「組合電路」與「循序電路」之技術，而正確設計與實現「有限狀態機(Finite State Machine)」。	The students can associate the techniques of combinational circuits and sequential circuits to correctly design and synthesize the finite state machines.

教學目標之目標類型、核心能力、基本素養教學方法與評量方式

序號	目標類型	院、系(所)核心能力	校級基本素養	教學方法	評量方式
1	認知	ADG	25	講述、討論、實作、模擬	作業、實作、報告(含口頭、書面)、活動參與
2	技能	BE	68	講述、討論、實作、模擬	作業、討論(含課堂、線上)、實作、報告(含口頭、書面)、活動參與
3	技能	DH	56	講述、討論、實作、模擬	測驗、作業、討論(含課堂、線上)、實作、報告(含口頭、書面)、活動參與
4	認知	ADG	28	講述、討論、發表、實作、模擬	測驗、作業、討論(含課堂、線上)、實作、報告(含口頭、書面)、活動參與

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註

1	110/09/22~ 110/09/28	Verilog HDL語法講授 (1)	
2	110/09/29~ 110/10/05	Verilog HDL語法講授 (2)	
3	110/10/06~ 110/10/12	Quartus II 9.1的基本操作(合成、模擬及燒錄等) (1)	
4	110/10/13~ 110/10/19	Quartus II 9.1的基本操作(合成、模擬及燒錄等) (2)	
5	110/10/20~ 110/10/26	組合電路(Combinational Circuits)的合成與應用 (1)	
6	110/10/27~ 110/11/02	組合電路(Combinational Circuits)的合成與應用 (2)	
7	110/11/03~ 110/11/09	循序電路(Sequential Circuits)的合成與應用 (1)	
8	110/11/10~ 110/11/16	循序電路(Sequential Circuits)的合成與應用 (2)	
9	110/11/17~ 110/11/23	期中考試週	
10	110/11/24~ 110/11/30	循序電路(Sequential Circuits)的合成與應用 (3)	
11	110/12/01~ 110/12/07	有限狀態機(Finite State Machine)的合成與應用 (1)	
12	110/12/08~ 110/12/14	有限狀態機(Finite State Machine)的合成與應用 (2)	
13	110/12/15~ 110/12/21	有限狀態機(Finite State Machine)的合成與應用 (3)	
14	110/12/22~ 110/12/28	期末成品製作(電子鐘或數位博奕機) (1)	
15	110/12/29~ 111/01/04	期末成品製作(電子鐘或數位博奕機) (2)	
16	111/01/05~ 111/01/11	期末成品驗收(電子鐘或數位博奕機) (1)	
17	111/01/12~ 111/01/18	期末考試週	
18	111/01/19~ 111/01/25		
修課應 注意事項			
教學設備		電腦、投影機	
教科書與 教材		自編教材	
參考文獻			

批改作業 篇數	篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）
學期成績 計算方式	◆出席率： 20.0 %   ◆平時評量：       %   ◆期中評量：       % ◆期末評量：40.0 % ◆其他〈報告〉：40.0 %
備 考	「教學計畫表管理系統」網址： <a href="https://info.ais.tku.edu.tw/csp">https://info.ais.tku.edu.tw/csp</a> 或由教務處 首頁→教務資訊「教學計畫表管理系統」進入。 <b>※不法影印是違法的行為。請使用正版教科書，勿不法影印他人著作，以免觸法。</b>