

淡江大學 106 學年度第 1 學期課程教學計畫表

課程名稱	硬體描述語言	授課 教師	饒建奇 JIANN-CHYI RAU
	HARDWARE DESCRIPTION LANGUAGE		
開課系級	電機進學班四 A	開課 資料	選修 單學期 3學分
	TETXE4A		
系（ 所 ） 教 育 目 標			
一、教育學生具備數學、科學及工程知識以解決電機之相關問題。 二、教育學生能具備獨立完成所指定任務及團隊精神之電機工程師。 三、教育學生具備洞悉電機產業趨勢變化，以因應現今多元化職場生涯之挑戰。			
系（ 所 ） 核 心 能 力			
A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。 B. 具有設計與執行電機實驗及分析與解釋數據之能力。 C. 具有執行電機實務所需知識、技巧及使用現代工具之能力。 D. 具有設計電機工程系統、元件或製程之能力。 E. 具有電機領域專案管理、溝通技巧、領域整合及團隊合作之能力。 F. 具有發掘、分析、應用研究成果及因應電機工程整合性問題之能力。 G. 具有認識時事議題，瞭解工程技術對環境、社會及全球的影響及持續學習之認知。 H. 具有理解及應用專業倫理，以及對社會責任及智慧財產權之正確認知。			
課程簡介	介紹硬體描述語言與高階積體電路的設計與驗證技巧.		
	Introduction of HDL and High-Level IC design and verification methods.		

本課程教學目標與目標層級、系(所)核心能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、
C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、
P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、
A5 內化、A6 實踐

二、教學目標與「目標層級」、「系(所)核心能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應其「系(所)核心能力」。單項教學目標若對應「系(所)核心能力」有多項時，則可填列多項「系(所)核心能力」。
(例如：「系(所)核心能力」可對應A、AD、BEF時，則均填列。)

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	系(所)核心能力
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	Introduction of HDL and High-Level IC design and verification methods.	C4	BDFGH
2	學習使用硬體描述電路系統級積體電路	Learn how to use HDL to design system-level integrated circuits.	C1	BDFGH

教學目標之教學方法與評量方法

序號	教學目標	教學方法	評量方法
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	講述、討論、模擬	紙筆測驗、實作
2	學習使用硬體描述電路系統級積體電路	講述、討論、模擬、實作	紙筆測驗、報告

本課程之設計與教學已融入本校校級基本素養			
淡江大學校級基本素養		內涵說明	
◇	全球視野	培養認識國際社會變遷的能力，以更寬廣的視野了解全球化的發展。	
◇	資訊運用	熟悉資訊科技的發展與使用，並能收集、分析和妥適運用資訊。	
◇	洞悉未來	瞭解自我發展、社會脈動和科技發展，以期具備建構未來願景的能力。	
◇	品德倫理	了解為人處事之道，實踐同理心和關懷萬物，反省道德原則的建構並解決道德爭議的難題。	
◇	獨立思考	鼓勵主動觀察和發掘問題，並培養邏輯推理與批判的思考能力。	
◇	樂活健康	注重身心靈和環境的和諧，建立正向健康的生活型態。	
◇	團隊合作	體察人我差異和增進溝通方法，培養資源整合與互相合作共同學習解決問題的能力。	
◇	美學涵養	培養對美的事物之易感性，提升美學鑑賞、表達及創作能力。	
授 課 進 度 表			
週次	日期起訖	內 容 (Subject/Topics)	備 註
1	106/09/18~ 106/09/24	Overview of The ASIC Design Flow	
2	106/09/25~ 106/10/01	Introduction to Verilog HDL	
3	106/10/02~ 106/10/08	A Brief Introduction to Altera MAX+plus® II	
4	106/10/09~ 106/10/15	Verilog HDL Constructs	
5	106/10/16~ 106/10/22	Modules and Ports	
6	106/10/23~ 106/10/29	Transistor-Level Modeling	
7	106/10/30~ 106/11/05	Gate-Level Modeling	
8	106/11/06~ 106/11/12	Dataflow Modeling	
9	106/11/13~ 106/11/19		
10	106/11/20~ 106/11/26	期中考試週	
11	106/11/27~ 106/12/03	Tasks and Functions	
12	106/12/04~ 106/12/10	Useful Modeling Techniques	

13	106/12/11~ 106/12/17	Timing, Delays, and Specify Blocks	
14	106/12/18~ 106/12/24	User Defined Primitives (UDPs)	
15	106/12/25~ 106/12/31	Introduction to Synopsys® Logic Synthesis Tool	
16	107/01/01~ 107/01/07	Introduction to Debussy	
17	107/01/08~ 107/01/14	From ASICs to IPs	
18	107/01/15~ 107/01/21	期末考試週	
修課應 注意事項			
教學設備		電腦、投影機	
教材課本		上課講義	
參考書籍			
批改作業 篇數		2 篇（本欄位僅適用於所授課程需批改作業之課程教師填寫）	
學期成績 計算方式		◆出席率： 30.0 % ◆平時評量：35.0 % ◆期中評量：35.0 % ◆期末評量： % ◆其他〈 〉： %	
備 考		「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/CS/main.php 〉業務連結「教師教學 計畫表上傳下載」進入。 ※不法影印是違法的行為。請使用正版教科書，勿不法影印他人著作，以免觸法。	