

淡江大學 103 學年度第 1 學期課程教學計畫表

課程名稱	邏輯與數位系統設計	授課 教師	簡丞志 CHENG-CHIH CHIEN
	LOGIC AND DIGITAL CIRCUIT DESIGN		
開課系級	電機系電通二A	開課 資料	必修 單學期 3學分
	TETBB2A		
系（所）教育目標			
<p>一、教育學生具備數學、科學及工程知識以解決電機之相關問題。</p> <p>二、教育學生能具備獨立完成所指定任務及團隊精神之電機工程師。</p> <p>三、教育學生具備洞悉電機產業趨勢變化，以因應現今多元化職場生涯之挑戰。</p>			
系（所）核心能力			
<p>A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。</p> <p>B. 具有設計與執行電機實驗及分析與解釋數據之能力。</p> <p>C. 具有執行電機實務所需知識、技巧及使用現代工具之能力。</p> <p>D. 具有設計電機工程系統、元件或製程之能力。</p> <p>E. 具有電機領域專案管理、溝通技巧、領域整合及團隊合作之能力。</p> <p>F. 具有發掘、分析、應用研究成果及因應電機工程整合性問題之能力。</p> <p>G. 具有認識時事議題，瞭解工程技術對環境、社會及全球的影響及持續學習之認知。</p> <p>H. 具有理解及應用專業倫理，以及對社會責任及智慧財產權之正確認知。</p>			
課程簡介	<p>*邏輯介紹</p> <p>*鎖存器和正反器。</p> <p>*暫存器和計數器。</p> <p>*順序時鐘電路分析。</p> <p>*狀態，圖形和表格推論。</p> <p>*狀態表狀態分配簡化。</p> <p>*順序電路設計。</p> <p>*數學運算電路。</p> <p>*狀態機設計應用SM圖表。</p> <p>* VHDL入門</p>		

	<ul style="list-style-type: none"> *Reviews of Logic *Latches and flip-flops. *Registers and counters. *Analysis of clocked sequential circuits. *Derivation of state graphs and tables. *Reduction of state tables state assignment. *Sequential circuit design. *Circuits for arithmetic operation. *State machine design with SM charts. *Introduction to VHDL
--	---

本課程教學目標與目標層級、系(所)核心能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「系(所)核心能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應其「系(所)核心能力」。單項教學目標若對應「系(所)核心能力」有多項時，則可填列多項「系(所)核心能力」。(例如：「系(所)核心能力」可對應A、AD、BEF時，則均填列。)

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	系(所)核心能力
1	1.透過實習，學生將可以提升對邏輯與數位系統設計的了解與應用。 2.學生將可以使用先進的數位系統設計完成實習，並與未來職場銜接。 3.學生將可以學習邏輯與數位系統設計與實習，並與未來職場銜接。	1. Through internships, students will be able to enhance the understanding and application of logic and digital system design. 2. Students will be able to use advanced digital system design is completed internships and future career convergence. 3. Students will be able to learn logic and digital systems design and practice, and with the future of the workplace convergence.	C6	ABCDEFGH

教學目標之教學方法與評量方法

序號	教學目標	教學方法	評量方法

1	1.透過實習，學生將可以提升對邏輯與數位系統設計的了解與應用。 2.學生將可以使用先進的數位系統設計完成實習，並與未來職場銜接。 3.學生將可以學習邏輯與數位系統設計與實習，並與未來職場銜接。	講述、討論、問題解決	紙筆測驗、報告、上課表現
---	--	------------	--------------

本課程之設計與教學已融入本校校級基本素養

淡江大學校級基本素養	內涵說明
◇ 全球視野	培養認識國際社會變遷的能力，以更寬廣的視野了解全球化的發展。
◆ 資訊運用	熟悉資訊科技的發展與使用，並能收集、分析和妥適運用資訊。
◆ 洞悉未來	瞭解自我發展、社會脈動和科技發展，以期具備建構未來願景的能力。
◇ 品德倫理	了解為人處事之道，實踐同理心和關懷萬物，反省道德原則的建構並解決道德爭議的難題。
◆ 獨立思考	鼓勵主動觀察和發掘問題，並培養邏輯推理與批判的思考能力。
◇ 樂活健康	注重身心靈和環境的和諧，建立正向健康的生活型態。
◆ 團隊合作	體察人我差異和增進溝通方法，培養資源整合與互相合作共同學習解決問題的能力。
◇ 美學涵養	培養對美的事物之易感性，提升美學鑑賞、表達及創作能力。

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註
1	103/09/15~ 103/09/21		
2	103/09/22~ 103/09/28	Reviews of Logic	
3	103/09/29~ 103/10/05	Latches and flip-flops	
4	103/10/06~ 103/10/12	Latches and flip-flops	
5	103/10/13~ 103/10/19	Registers and counters	
6	103/10/20~ 103/10/26	Registers and counters	
7	103/10/27~ 103/11/02	Analysis of clocked sequential circuits	
8	103/11/03~ 103/11/09	Analysis of clocked sequential circuits	
9	103/11/10~ 103/11/16	Derivation of state graphs and tables	
10	103/11/17~ 103/11/23	期中考試週	

11	103/11/24~ 103/11/30	Reduction of state tables state assignment	
12	103/12/01~ 103/12/07	Sequential circuit design	
13	103/12/08~ 103/12/14	Sequential circuit design	
14	103/12/15~ 103/12/21	Circuits for arithmetic operation	
15	103/12/22~ 103/12/28	State machine design with SM charts	
16	103/12/29~ 104/01/04	State machine design with SM charts	
17	104/01/05~ 104/01/11	Introduction to VHDL	
18	104/01/12~ 104/01/18	期末考試週	
修課應 注意事項	期中二次考試各佔15%		
教學設備	電腦、投影機		
教材課本	Fundamentals of Logic Design, 7th Edition		
參考書籍			
批改作業 篇數	篇 (本欄位僅適用於所授課程需批改作業之課程教師填寫)		
學期成績 計算方式	◆出席率： 10.0 % ◆平時評量： % ◆期中評量：30.0 % ◆期末評量：20.0 % ◆其他〈作業25%，報告15%〉：40.0 %		
備 考	「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/CS/main.php 〉業務連結「教師教學 計畫表上傳下載」進入。 ※不法影印是違法的行為。請使用正版教科書，勿不法影印他人著作，以免觸法。		