

淡江大學 101 學年度第 1 學期課程教學計畫表

課程名稱	硬體描述語言	授課 教師	饒建奇 JIANN-CHYI RAU
	HARDWARE DESCRIPTION LANGUAGE		
開課系級	電機進學班四 A	開課 資料	選修 單學期 3學分
	TETXE4A		
系（所）教育目標			
<p>一、教育學生具備數學、科學及工程知識以解決電機之相關問題。</p> <p>二、教育學生能獨立完成所指定任務及具備團隊精神之電機工程師。</p> <p>三、教育學生具備全球化競爭技能以因應現今多元化職場生涯之挑戰。</p>			
系（所）核心能力			
<p>A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。</p> <p>B. 具有設計與執行電機實驗及分析與解釋數據之能力。</p> <p>C. 具有執行電機實務所需知識、技巧及使用工具之能力。</p> <p>D. 具有電機系統設計觀念及報告撰寫之能力。</p> <p>E. 具有計畫管理、溝通技巧及團隊合作之能力。</p> <p>F. 具有發掘、分析及處理電機工程問題之能力。</p> <p>G. 具有認識國際時事議題及持續學習之認知。</p> <p>H. 具有工程師對社會責任之正確認知。</p> <p>I. 具有智慧財產權及職場倫理之正確認知。</p>			
課程簡介	介紹硬體描述語言與高階積體電路的設計與驗證技巧.		
	Introduction of HDL and High-Level IC design and verification methods.		

本課程教學目標與目標層級、系(所)核心能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「系(所)核心能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應其「系(所)核心能力」。單項教學目標若對應「系(所)核心能力」有多項時，則可填列多項「系(所)核心能力」。(例如：「系(所)核心能力」可對應A、AD、BEF時，則均填列。)

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	系(所)核心能力
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	Introduction of HDL and High-Level IC design and verification methods.	C3	ABCDEFGHI

教學目標之教學方法與評量方法

序號	教學目標	教學方法	評量方法
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	講述、討論、模擬	紙筆測驗、實作

本課程之設計與教學已融入本校校級基本素養

淡江大學校級基本素養	內涵說明
◇ 全球視野	
◇ 洞悉未來	
◇ 資訊運用	
◇ 品德倫理	
◇ 獨立思考	
◇ 樂活健康	
◇ 團隊合作	
◇ 美學涵養	

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註
1	101/09/10~ 101/09/16	Overview of The ASIC Design Flow	
2	101/09/17~ 101/09/23	Introduction to Verilog HDL	
3	101/09/24~ 101/09/30	A Brief Introduction to Altera MAX+plus® II	
4	101/10/01~ 101/10/07	Verilog HDL Constructs	
5	101/10/08~ 101/10/14	Modules and Ports	
6	101/10/15~ 101/10/21	Transistor-Level Modeling	
7	101/10/22~ 101/10/28	Gate-Level Modeling	
8	101/10/29~ 101/11/04	Dataflow Modeling	
9	101/11/05~ 101/11/11		
10	101/11/12~ 101/11/18	期中考試週	
11	101/11/19~ 101/11/25	Tasks and Functions	
12	101/11/26~ 101/12/02	Useful Modeling Techniques	

13	101/12/03~ 101/12/09	Timing, Delays, and Specify Blocks	
14	101/12/10~ 101/12/16	User Defined Primitives (UDPs)	
15	101/12/17~ 101/12/23	Introduction to Synopsys® Logic Synthesis Tool	
16	101/12/24~ 101/12/30	Introduction to Debussy	
17	101/12/31~ 102/01/06	From ASICs to IPs	
18	102/01/07~ 102/01/13	期末考試週	
修課應 注意事項			
教學設備		電腦、投影機	
教材課本		上課講義	
參考書籍			
批改作業 篇數		2 篇 (本欄位僅適用於所授課程需批改作業之課程教師填寫)	
學期成績 計算方式		◆出席率： 30.0 % ◆平時評量：35.0 % ◆期中評量：35.0 % ◆期末評量： % ◆其他〈 〉： %	
備 考		「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/index.asp/ 〉教務資訊「教學計畫 表管理系統」進入。 ※不法影印是違法的行為。請使用正版教科書，勿不法影印他人著作，以免觸法。	