

淡江大學 100 學年度第 1 學期課程教學計畫表

課程名稱	硬體描述語言	授課 教師	饒建奇 Jiann-chyi Rau
	HARDWARE DESCRIPTION LANGUAGE		
開課系級	電機進學班四 A	開課 資料	選修 單學期 3學分
	TETXE4A		
系所教育目標			
<p>一、教育學生具備數學、科學及工程知識以解決電機之相關問題。</p> <p>二、教育學生能獨立完成所指定任務及具備團隊精神之電機工程師。</p> <p>三、教育學生具備全球化競爭技能以因應現今多元化職場生涯之挑戰。</p>			
系所核心能力			
<p>A. 具有運用數學工具配合科學方法以解決電機工程問題之能力。</p> <p>B. 具有設計與執行電機實驗及分析與解釋數據之能力。</p> <p>C. 具有執行電機實務所需知識、技巧及使用工具之能力。</p> <p>D. 具有電機系統設計觀念及報告撰寫之能力。</p> <p>E. 具有計畫管理、溝通技巧及團隊合作之能力。</p> <p>F. 具有發掘、分析及處理電機工程問題之能力。</p> <p>G. 具有認識國際時事議題及持續學習之認知。</p> <p>H. 具有工程師對社會責任之正確認知。</p> <p>I. 具有智慧財產權及職場倫理之正確認知。</p>			
課程簡介	介紹硬體描述語言與高階積體電路的設計與驗證技巧。		
	Introduction of HDL and High-Level IC design and verification methods.		

本課程教學目標與目標層級、系所核心能力相關性

一、目標層級(選填)：

- (一)「認知」(Cognitive 簡稱C)領域：C1 記憶、C2 瞭解、C3 應用、C4 分析、C5 評鑑、C6 創造
- (二)「技能」(Psychomotor 簡稱P)領域：P1 模仿、P2 機械反應、P3 獨立操作、P4 聯結操作、P5 自動化、P6 創作
- (三)「情意」(Affective 簡稱A)領域：A1 接受、A2 反應、A3 重視、A4 組織、A5 內化、A6 實踐

二、教學目標與「目標層級」、「系所核心能力」之相關性：

- (一)請先將課程教學目標分別對應前述之「認知」、「技能」與「情意」的各目標層級，惟單項教學目標僅能對應C、P、A其中一項。
- (二)若對應「目標層級」有1~6之多項時，僅填列最高層級即可(例如：認知「目標層級」對應為C3、C5、C6項時，只需填列C6即可，技能與情意目標層級亦同)。
- (三)再依據所訂各項教學目標分別對應該系「系所核心能力」。單項教學目標若對應「系所核心能力」有多項時，則可填列多項「系所核心能力」(例如：「系所核心能力」可對應A、AD、BEF時，則均填列)。

序號	教學目標(中文)	教學目標(英文)	相關性	
			目標層級	系所核心能力
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	Introduction of HDL and High-Level IC design and verification methods.	C3	BCDEFI

教學目標之教學策略與評量方法

序號	教學目標	教學策略	評量方法
1	介紹硬體描述語言與高階積體電路的設計與驗證技巧.	課堂講授	報告、期中考、期末考

本課程之設計與教學已融入下列本校基本素養與核心能力

淡江大學基本素養與核心能力	內涵說明
◇ 表達能力與人際溝通	有效運用中、外文進行表達，能發揮合作精神，與他人共同和諧生活、工作及相處。
◇ 科技應用與資訊處理	正確、安全、有效運用資訊科技，並能蒐集、分析、統整與運用資訊。
◇ 洞察未來與永續發展	能前瞻社會、科技、經濟、環境、政治等發展的未來，發展與實踐永續經營環境的規劃或行動。
◇ 學習文化與理解國際	具備因應多元化生活的文化素養，面對國際問題和機會，能有效適應和回應的全球意識與素養。
◇ 自我了解與主動學習	充分了解自我，管理自我的學習，積極發展自我多元的興趣和能力，培養終身學習的價值觀。
◇ 主動探索與問題解決	主動觀察和發掘、分析問題、蒐集資料，能運用所學不畏挫折，以有效解決問題。
◇ 團隊合作與公民實踐	具備同情心、正義感，積極關懷社會，參與民主運作，能規劃與組織活動，履行公民責任。
◇ 專業發展與職涯規劃	掌握職場變遷所需之專業基礎知能，管理個人職涯的職業倫理、心智、體能和性向。

授課進度表

週次	日期起訖	內容 (Subject/Topics)	備註
1	100/09/05~ 100/09/11	Overview of The ASIC Design Flow	
2	100/09/12~ 100/09/18	Introduction to Verilog HDL	
3	100/09/19~ 100/09/25	A Brief Introduction to Altera MAX+plus® II	
4	100/09/26~ 100/10/02	Verilog HDL Constructs	
5	100/10/03~ 100/10/09	Modules and Ports	
6	100/10/10~ 100/10/16	Transistor-Level Modeling	
7	100/10/17~ 100/10/23	Gate-Level Modeling	
8	100/10/24~ 100/10/30	Dataflow Modeling	
9	100/10/31~ 100/11/06	期中考試週	
10	100/11/07~ 100/11/13		
11	100/11/14~ 100/11/20	Tasks and Functions	
12	100/11/21~ 100/11/27	Useful Modeling Techniques	

13	100/11/28~ 100/12/04	Timing, Delays, and Specify Blocks	
14	100/12/05~ 100/12/11	User Defined Primitives (UDPs)	
15	100/12/12~ 100/12/18	Introduction to Synopsys® Logic Synthesis Tool	
16	100/12/19~ 100/12/25	Introduction to Debussy	
17	100/12/26~ 101/01/01	From ASICs to IPs	
18	101/01/02~ 101/01/08	期末考試週	
修課應 注意事項			
教學設備		電腦、投影機	
教材課本		上課講義	
參考書籍			
批改作業 篇數		2 篇 (本欄位僅適用於所授課程需批改作業之課程教師填寫)	
學期成績 計算方式		◆平時考成績：30.0 % ◆期中考成績：35.0 % ◆期末考成績：35.0 % ◆作業成績： % ◆其他〈 〉： %	
備 考		「教學計畫表管理系統」網址： http://info.ais.tku.edu.tw/csp 或由教務處 首頁〈網址： http://www.acad.tku.edu.tw/index.asp/ 〉教務資訊「教學計畫 表管理系統」進入。 ※非法影印是違法的行為。請使用正版教科書，勿非法影印他人著作，以免觸法。	